

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

As rescanning documents *will not* correct images,
Please do not report the images to the
Image Problem Mailbox.

1/5/1

DIALOG(R) File 351:Derwent WPI
(c) 2001 Derwent Info Ltd. All rts. reserv.

011820011 **Image available**

WPI Acc No: 1998-236921/199821

XRPX Acc No: N98-188034

Buffer controller of ATM communication system in ISDN - has waste cell control modules that erase data in higher order input layer in common cell buffer memory when buffer length exceeds threshold value

Patent Assignee: FUJITSU LTD (FUIT)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 10075252	A	19980317	JP 96230221	A	19960830	199821 B

Priority Applications (No Type Date): JP 96230221 A 19960830

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
JP 10075252	A	13		H04L-012/28	

Abstract (Basic): JP 10075252 A

The buffer controller stores the input data in a common cell buffer memory (1). A threshold value is set up as the buffer length of the common cell buffer memory. When the threshold value is exceeded, the block of data in the higher order input layer is erased by a waste cell control modules (101,103).

ADVANTAGE - Performs EDP control and PDP control at low cost.

Dwg.1/8

Title Terms: BUFFER; CONTROL; ATM; COMMUNICATE; SYSTEM; ISDN; WASTE; CELL; CONTROL; MODULE; ERASE; DATA; HIGH; ORDER; INPUT; LAYER; COMMON; CELL; BUFFER; MEMORY; BUFFER; LENGTH; THRESHOLD; VALUE

Derwent Class: W01

International Patent Class (Main): H04L-012/28

International Patent Class (Additional): H04M-003/00; H04M-011/00;
H04M-011/06; H04Q-003/00; H04Q-011/04

File Segment: EPI

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-75252

(43)公開日 平成10年(1998)3月17日

(51)Int.Cl. ^a	識別記号	府内整理番号	F I	技術表示箇所
H 04 L 12/28		9744-5K	H 04 L 11/20	H
H 04 M 3/00			H 04 M 3/00	B
11/00	3 0 2		11/00	3 0 2
11/06			11/06	
H 04 Q 3/00			H 04 Q 3/00	

審査請求 未請求 請求項の数 5 OL (全 13 頁) 最終頁に統ぐ

(21)出願番号 特願平8-230221

(22)出願日 平成8年(1996)8月30日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(72)発明者 須藤 俊之

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(72)発明者 奥田 将人

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(72)発明者 石原 智宏

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(74)代理人 弁理士 小林 隆夫

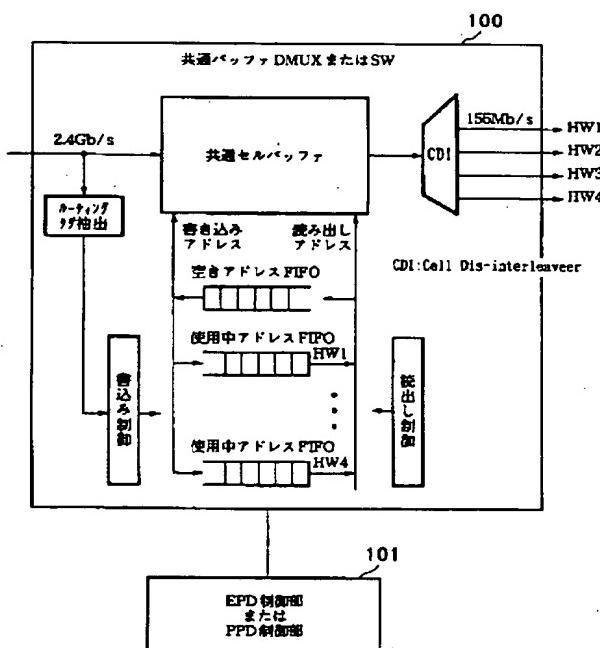
(54)【発明の名称】 バッファ制御装置

(57)【要約】

【課題】本発明は共通セルバッファメモリ形のスイッチまたはDMUXにおいてEPD制御あるいはPPD制御を行うバッファ制御装置に関し、低コストでEPD制御あるいはPPD制御を実現することを目的とする。

【解決手段】共通セルバッファメモリを用いたスイッチまたはDMUXにおいてATMセルのバッファ制御を行うバッファ制御装置であって、該共通セルバッファメモリのバッファ長に閾値を設定し、その閾値を超えた場合に、新たに入力される上位レイヤのパケットを廃棄する廃棄制御機能(101、103)を備えたものである。

本発明を説明する図



【特許請求の範囲】

【請求項1】 共通セルバッファメモリを用いたスイッチまたはデマルチプレクサにおいてATMセルのバッファ制御を行うバッファ制御装置であって、該共通セルバッファメモリのバッファ長に閾値を設定し、その閾値を超えた場合に、新たに入力される上位レイヤのパケットを廃棄する廃棄制御機能を備えたバッファ制御装置。

【請求項2】 共通セルバッファメモリを用いたスイッチまたはデマルチプレクサにおいてATMセルのバッファ制御を行うバッファ制御装置であって、該共通セルバッファメモリがバッファ・フルのためにセルが廃棄された場合に、それと同一のパケットに属するセルが入力されたら、共通セルバッファメモリに空きがある場合でも当該セルを廃棄する廃棄制御機能を備えたバッファ制御装置。

【請求項3】 上記廃棄制御機能をバーチャル・チャネル毎に設けた請求項1または2記載のバッファ制御装置。

【請求項4】 上記廃棄制御機能を出線方路毎に設けた請求項1または2記載のバッファ制御装置。

【請求項5】 各バーチャル・チャネルのバッファ長をカウントするカウンタとして、全バーチャル・チャネル数分のカウント領域を設けることに換えてそれよりも少ない所定数にカウント領域を制限し、該カウンタのカウント領域が空いている場合には、入力されたバーチャル・チャネルをその空いているカウント領域に割り当て、該カウンタで既に使用中のバーチャル・チャネルのセルが入力された場合には当該バーチャル・チャネルの使用中のカウンタ領域を用いてカウントを行うようにした請求項3記載のバッファ制御装置。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】 本発明は共通セルバッファメモリ形のスイッチまたはDMUX等のATM通信装置においてEPD制御あるいはPPD制御を行うバッファ制御装置に関する。

【0002】 近年、世界規模でインターネットの普及が進んでおり、大学や大企業の研究所のみならず、一般家庭からインターネットにアクセスする需要も出てきている。インターネットで用いられるプロトコルは、TCP/IPというものであるが、現在の利用形態は、家庭から電話線を通じてインターネット・プロバイダのルータまでダイヤルアップIP接続という技術を用いて接続するというものである。これは、N-ISDNを用いたとしても回線速度は64 kbpsであり、動画像データ等の大きなファイル転送には十分な速度とは言えない。このため、次世代のネットワークとして、ATM(非同期転送モード)を用いたアクセス網が検討されている。

【0003】 ATMを用いたアクセスの場合、そのセル・トラヒットはバースト的なものであり、効率的にこのデータを転送するためには、複数のチャネルを一つのチ

ヤネルに多重することが重要である。そして、複数のバースト・トラヒットを多重するためには、入力セル流を平滑化する必要がある。このために、バッファにATMセルを書き込んで、あるセル間隔をあけて読み出すという操作を行うことになる。このバッファは、ある有限な大きさのメモリで構成するため、ある確率においてセル廃棄が発生する。セルが廃棄された場合、受信端末の上位レイヤのパケット・レベルでみると、パケットに含まれるATMセルが一つでも廃棄されていると、そのパケット全てが無駄なデータになってしまい、送信端末に対して再送を要求することになり、余分なデータがネットワークに流れ込んでしまうことになる。

【0004】 この余計なトラヒックの増大を避けるために、ネットワーク内部において当該欠落セルを含むパケット・データを廃棄することが有効である。この技術として、EPD(Early Packet Discard)機能あるいはPPD(Partial Packet Discard)機能と呼ばれるものがある。

【0005】 EPD制御は、ATMセルを書き込むバッファのキュー長(バッファにキューイングしているセル量)が所定の閾値を超えている状態では、新規パケットをバッファ内部に入れず廃棄する制御である。すなわち、バッファ長に閾値を設定し、その閾値を超えた場合に、新たに入力される上記レイヤのパケットを廃棄する制御である。

【0006】 またPPD制御は、ATMセルを書き込むバッファがフル(満杯)になって書き込むことができず、ATMセルが廃棄されてしまったら、その廃棄されたATMセルと同一のパケットに属するATMセルが入力された場合、バッファに空きがあってもその入力されたATMセルを書き込みますに廃棄する制御である。

【0007】 なお、EPD制御およびPPD制御においては、AAL5ではEOP(End of Packet)表示としてATMセルのヘッダの1ビットを用いているので、これを用いてパケットを認識して制御を行う。

【0008】 このEPD制御あるいはPPD制御は、装置におけるインターフェース・パッケージに実装すると、より簡単に実現することができる。これは、
・速度が低速である、

・1入力1出力であり、単純なFIFOをバッファ・メモリとして用い、これに制御回路をつなげることで実現できる、といった利点があるためである。

【0009】

【発明が解決しようとする課題】 ところが、このEPD制御あるいはPPD制御の実現法では、1入力1出力の対応関係でバッファ・メモリを用意するため、実装されるバッファ・メモリの数がトータルとして多くなってしまう、コストが高くなってしまう、という欠点がある。

【0010】 したがって、本発明は低成本でEPD制御あるいはPPD制御を実現することを目的とする。

【0011】

【課題を解決するための手段】インターネット接続などのサービスをより安く提供するためには、よりコストを下げることが重要になってくる。ATM通信装置のスイッチ部やDMUX部は共通バッファで実現すると、より少ないバッファ容量で構成できることが知られている。そこで、EPD機能やPPD機能を、スイッチ部やDMUX部に実装するほうが、高い統計多重効果が得られ、より少ないバッファ容量で機能を実現できることが期待できる。本発明はかかるる見に基づくもので、共通バッファで構成されるスイッチおよびDMUXにおいて、EPD機能またはPPD機能を実現するものである。

【0012】図1、図8は本発明を説明するための図である。図1において、100は共通バッファDMUXであり、共通セルバッファ1、セル分離部2、ルーティングタグ抽出部、空きアドレス FIFOメモリ8、使用中アドレス FIFOメモリ9、書き込み制御部10、読み出し制御部11等を含み構成される。この共通バッファDMUXにEPD制御またはPPD制御を行う制御部101が追加される。

【0013】また図8において、102は共通バッファSWであり、共通セルバッファ1、セル多重部20、セル分離部2、ルーティングタグ抽出部、空きアドレス FIFOメモリ8、使用中アドレス FIFOメモリ9、書き込み制御部10、読み出し制御部11等を含み構成される。この共通バッファSWにEPD制御またはPPD制御を行う制御部103が追加される。

【0014】上述の課題を解決するために、本発明に係るバッファ制御装置は、一つの形態として、共通セルバッファメモリを用いたスイッチまたはDMUXにおいてATMセルのバッファ制御を行うバッファ制御装置であって、該共通セルバッファメモリのバッファ長に閾値を設定し、その閾値を超えた場合に、新たに入力される上位レイヤのパケットを廃棄する廃棄制御機能(101、103)を備えたものである。

【0015】また、本発明に係るバッファ制御装置は、他の形態として、共通セルバッファメモリを用いたスイッチまたはデマルチプレクサにおいてATMセルのバッファ制御を行うバッファ制御装置であって、該共通セルバッファメモリがバッファ・フルのためにセルが廃棄された場合に、それと同一のパケットに属するセルが入力されたら、共通セルバッファメモリに空きがある場合でも当該セルを廃棄する廃棄制御機能(101、103)を備えたものである。

【0016】上記廃棄制御機能はバーチャル・チャネル毎に設けてもよいし、出線方路毎に設けてもよい。

【0017】また各バーチャル・チャネルのバッファ長をカウントするカウンタとして、全バーチャル・チャネル数分のカウント領域を設けることに換えてそれよりも少ない所定数にカウント領域を制限し、該カウンタのカ

ウント領域が空いている場合には、入力されたバーチャル・チャネルをその空いているカウント領域に割り当て、該カウンタで既に使用中のバーチャル・チャネルのセルが入力された場合には当該バーチャル・チャネルの使用中のカウンタ領域を用いてカウントを行うようにしてもよい。これによりカウント用メモリを小規模にすることができる。

【0018】

【発明の実施の形態】以下、図面を参照して本発明の実施の形態を説明する。図2には本発明のバッファ制御装置についての実施例1が示される。この実施例1は共通バッファDMUX(共通セルバッファメモリ形のデマルチプレクサ、以下同じ)にEPD機能を追加するものである。

【0019】図2において、1は共通セルバッファメモリ(以下、共通セルバッファという)であり、入力されたATMセルを蓄積する。2はセル分離部(CDI:Cell Dis-interleavewr)であり、共通セルバッファ1から読み出したATMセルをその出力方路(ハイウェイHW1、HW2…HW4)に振り分ける。3はルーティングタグ抽出部であり、入力したATMセルのヘッダから出力方路情報であるルーティングタグを抽出する。

【0020】8は共通セルバッファ1の空きアドレスを格納する空きアドレス FIFOメモリ、9は共通セルバッファ1におけるATMセルの格納アドレスをハイウェイHW1～HW4別に格納する使用中アドレス FIFOメモリである。また10は書き込み制御部であり、ルーティングタグ抽出部3の抽出情報およびパケット廃棄制御部4の制御情報に基づき FIFOメモリ8、9を参照して共通セルバッファ1への書き込み制御を行う。11は読み出し制御部であり、FIFOメモリ8、9を参照して共通セルバッファ1からの読み出し制御を行う。

【0021】6は共通バッファ・キュー長カウンタであり、共通セルバッファ1に1セルを書き込む毎に一つインクリメントされ、読み出す毎に一つデクリメントされ、それにより共通セルバッファ1にキューイングされているセル長をカウントする。7はキュー長閾値超過検出部であり、所定の閾値を保持しており、これを共通バッファ・キュー長カウンタ6のカウンタ値と比較し、キュー長が閾値を超えたたらそれを検出して閾値超過情報を出力する。

【0022】5はパケット状態管理テーブルであり、以下に定義された3つの状態、すなわち、

- ・パケット受信中
- ・パケット休止中
- ・強制廃棄中

をVC(バーチャル・チャネル)毎に記憶する。ここで、「パケット受信中」とは、現在一つのパケットを受信している最中のことである。また「パケット休止中」とは、一つのパケットを受信し終わって、次のパケット

を待っている状態である。また「強制廃棄中」とは、バッファ内セルが閾値を超えて新しく到着するセルを廃棄する状態である。

【0023】4はパケット廃棄制御部であり、パケット状態管理テーブル5を参照して書き込み制御部10による書き込みにあたってE PD制御を行う。このE PD制御は、パケット状態管理テーブル5の3つの状態の変化に伴って以下に述べるバッファセル内セル数が閾値未満と閾値以上の時の処理を行うことにより実現される。

【0024】〔バッファ内セル数が閾値未満の時の処理〕

パケット受信中の時

EOPではないセル受信→セル受け付け

EOPのセルを受信 →セル受け付け、パケット休止中にする

パケット休止中の時

EOPではないセル受信→セル受け付け、パケット受信中にする

EOPのセルを受信 →セル受け付け、パケット休止中にする

強制廃棄中の時

EOPではないセル受信→セル受け付け、パケット受信中にする

EOPのセルを受信 →セル受け付け、パケット休止中にする

【0025】〔バッファ内セル数が閾値以上の時の処理〕

パケット受信中の時

EOPではないセル受信→セル受け付け

EOPのセルを受信 →セル受け付け、強制廃棄中にする

パケット休止中の時

EOPではないセル受信→セル廃棄、強制廃棄中にする

EOPのセルを受信 →セル廃棄、強制廃棄中にする

強制廃棄中の時

EOPではないセル受信→セル廃棄

EOPのセルを受信 →セル廃棄、パケット休止中にする

【0026】このような制御を行うことが、E PD制御と呼ばれるものである。

【0027】次に、実施例1の装置の動作を述べる。ルーティング・タグ抽出部3において、入力セルのヘッダから、出力方路情報であるルーティング・タグを抽出する。書き込み制御部10では、空きアドレス FIFOメモリ8から共通セルバッファ1の空きアドレスを読み出し、共通セルバッファ1にデータを書き込む。また同時に、そのアドレスを出力ポートに対応する使用中アドレスFIFOメモリ9に使用中アドレスとして書き込む。

読み出し制御部11では、使用中アドレスFIFOメモリ9からアドレスを読み出し、共通セルバッファ1をその

アドレスでアクセスして出力データを出力する。

【0028】共通バッファ・キュー長カウンタ6は、共通セルバッファ1にセルデータが書き込まれたら一つカウントアップされ、セルデータが読み出されたら一つカウントダウンされる。よって共通バッファ・キュー長カウンタ6には共通セルバッファ1に格納されているセルデータの量がキュー長としてカウントされる。キュー長閾値超過検出部7では、上記カウンタ6の値を監視し、そのカウント値が所定の閾値を超えた場合はその情報

10 (yes/no情報) をパケット廃棄制御部4に送る。パケット状態管理テーブル5では、VC毎に3つの状態(転送中、休止中、廃棄中)が書き込まれる。パケット廃棄制御部4はこの3つの状態と閾値超過情報を参照して、書き込み制御部10を制御して上述したE PD制御を行う。

【0029】次に、図3には本発明のバッファ制御装置についての実施例2が示される。この実施例2の装置は、共通バッファDMUXに、PPD機能を追加するものである。この実施例2は、実施例1と基本的な部分は

20 一緒であるが、共通セルバッファ1の格納状態がフル(満杯)か否かを示すバッファフル・フラグを備えており、このバッファフル・フラグの状態情報がパケット廃棄制御部4に入力される。

【0030】パケット廃棄制御部4は、このバッファフル・フラグの状態情報とパケット状態管理テーブル5の情報をもとに書き込み制御部10を制御してPDD機能を実現するが、このPDD機能の実現のために、VC毎に以下の状態管理を行う。まず、強制廃棄フラグを設け、強制廃棄フラグの状態が「ON」の時に入力セルを30 強制廃棄し(すなわち共通セルバッファ1に書き込まない)、「OFF」の時には強制廃棄を行わない。

【0031】この強制廃棄フラグの状態はパケット廃棄制御部4により以下のように制御される。

バッファ・フルの状態で、セルが廃棄された時

そのセルがEOPでなかったら、一強制廃棄ON

そのセルがEOPだったら、 →強制廃棄OFF

EOPのセルが到着したら、 →強制廃棄OFF

【0032】この実施例2の装置の動作は、共通セルバッファ1の格納状態を示すバッファフル・フラグがバッ

40 ファ・フルの状態を示し、かつ入力セルが廃棄された時に、パケット廃棄制御部4が上述のPPD制御を行い、そのセルがEOPでなければ、強制廃棄フラグをONにして以降の入力セルの廃棄を行い、それをEOPの入力セルが入力されるまで続け、EOPのセルが入力されたら強制廃棄フラグをOFFにする。これにより、バッファフルとなった時のパケットのセルは以降全て廃棄されるが、それに続いて入力されたパケットのセルは受け付け可能となる。

【0033】図4には本発明のバッファ制御装置についての実施例3が示される。この実施例3は前述の実施例

1と同様に共通バッファDMUXにEPD機能を追加するものである。実施例1は、共通セルバッファ1の全体のキュー長が閾値を超えた場合に、新たに入力された上記レイヤのパケットを廃棄するものであるが、これに換えて、ある特定のチャネルのセルに注目して、それが許容範囲を超えるレートで入力されている場合にそれを検出する機能を持ち、そのチャネルのセルのみに対して新しく入力されるパケットのセルデータを廃棄するようにしてもよい。

【0034】つまり、本発明のバッファ制御装置は共通バッファを用いてEPD機能あるいはPPD機能を実現するものであるので、実施例1および実施例2では、ある特定のVCのセルが共通セルバッファ1に大量に入力された場合、そのVCのセルの影響で、他のVCのパケットまで廃棄の対象になる可能性がある。この実施例3はこれに対処するものである。

【0035】この実施例3は、前述の実施例1と比較すると、共通バッファ・キュー長カウンタ6の他に、VC単位で共通セルバッファ1のキュー長をカウントできるキュー長カウンタ12とVC単位にそのカウント値を所定の閾値と比較して超過を検出するキュー長閾値超過検出部13を備えており、そのキュー長閾値超過検出部13の閾値超過情報がパケット廃棄制御部4に入力されている点が相違する。

【0036】この実施例3では、キュー長カウンタ12は、入力セルが共通セルバッファ1に書き込まれるとその入力セルのVC1に応じて当該VC1のカウンタ値を一つインクリメントし、セルが読み出されると当該VC1のカウント値を一つデクリメントする。このキュー長カウンタ12のVC1毎のキュー長にそれぞれ閾値を設定しておく。あるVC1のカウンタ値をインクリメントした時に、カウンタ値が閾値を超えた場合、キュー長カウンタ13がそれを検出し、その検出通知に応じて、パケット廃棄制御部4が、そのVCが故意あるいは故障等により多量のセルを流していると判断し、このVCに関して、次に入力される新しいパケットを廃棄するよう書き込み制御部10を制御する機能を持たせる。

【0037】図5には本発明のバッファ制御装置についての実施例4が示される。この実施例4も共通バッファDMUXにEPD機能を追加するものである。上述の実施例3では、EPD機能をVC1単位で実行するためVC1毎にキュー長をカウントするようにしているが、一般にVC1の数は多数（例えばVC1が16bit長であれば65536）であるため、そのためのカウンタ用のメモリがかなり大きくなってしまう。この実施例4はEPD機能を出力線単位に行うことで、キュー長カウンタ用のメモリを小さく構成したものである。

【0038】この実施例4では、実施例3のVC単位でカウントを行うキュー長カウンタ12に換えて、共通セルバッファ1におけるセルの出線単位（出ハイウェイH

W1～HW4単位）にキュー長をカウントするキュー長カウント14を設け、またVC単位で比較を行うキュー長閾値超過検出部13に換えて、出線単位に閾値を設定して比較を行うキュー長閾値超過検出部15を設けていく。

【0039】入力セルには、ルーティング用のタイミングが書かれてあり、これをもとにルーティングされるが、読み出し制御用に、出力方路毎に FIFOメモリ9にセルバッファのアドレスが書き込まれる。これと同時に、キュー長カウンタ14において、出力方路毎に出力待ちのセルの数を記憶しておく。つまりキュー長カウンタ14により出力方路毎にセルをカウントする。このカウンタ14に出力方路毎に閾値を設定する。

【0040】セルが書き込まれた段階において、キュー長カウンタ1のカウンタ値が閾値を超えた場合、これをキュー長閾値超過検出部15で検出して当該出力方路へのセル流が多くなっていると判断する。パケット廃棄制御部4はこの出力方路に出力される次の新しいパケットが入力されたら、そのパケットを廃棄する制御を行う。

【0041】このように出力線毎のカウントとすることにより、VC1毎にキュー長をカウントする場合に比較して、キュー長カウンタ用のメモリを大幅に小さくすることが可能である。

【0042】図6には本発明のバッファ制御装置についての実施例5が示される。この実施例は共通バッファDMUXにPPD機能を追加するものであり、このPPD機能を前述の実施例3と同じくVC1単位で行うものである。すなわち、実施例3では、VC単位でキュー長を監視して、VC毎に輻輳を検出してEPD制御を行ったが、この実施例5では、同じくVC単位でキュー長を監視して、VC毎に輻輳を監視して、PPD制御を行う。

【0043】すなわち、キュー長カウンタ12のカウンタ値に対してVC毎に閾値を設定し、VC単位でキュー長を監視する。パケット廃棄制御部4は、閾値を超えたVCに関してそのVCはバッファ・フルの状態と見なし、閾値を超えた段階で、以降に入力される同一のパケットデータを廃棄する。新しいパケットが入力された時、キュー長が閾値を超えていなかったら受け付ける。このようにパケット廃棄制御部4はVC単位でPPD制御を行う。

【0044】この実施例5ではパケット廃棄制御部4がVC単位でPPD制御を行ったが、もちろん、前述の実施例4と同様に、出線単位でPPD制御を行うものであってもよい。

【0045】次に図7を参照して本発明の実施例6を説明する。実施例3および実施例5においては、VC1毎にキュー長カウンタを持たせているが、VC1は通常16ビットあるため、カウンタを65536個用意する必要がある。仮に、1VCあたりカウンタとして10ビットのメモリを用いることすると、そのメモリ量は640k

bit と共にセルバッファ用のメモリよりも大きいものになってしまう。

【0046】一方、多量のセルが流入しているVCは少ないと考えられる。そこで、共通セルバッファに存在するVCのセルをカウントする際、カウント対象のVCの数を制限する。例えば16個のVCのみカウントの対象とする。実施例6はかかる構成とすることによりキューランカウンタの規模を小さくしたものである。

【0047】図7にカウンタ用のメモリ構成を示す。カウンタ用メモリは16個のアドレスからなり、16個のアドレスに対してそれぞれ、イネーブル1bit、カウンタ用データ10bitが設けられる。このイネーブルビットはカウンタ用データが0を示す時にイネーブルを示すフラグが立てられる。また、入力されるVC Iと現在カウンタ用メモリに登録されているVC Iとの比較のために、カウンタ用メモリの16個のアドレスにそれぞれ対応させて16個のレジスタを用意し、各レジスタにはカウンタ用メモリの各アドレスに格納されているカウンタ値（イネーブルビットが立っているもの）に対応するVC Iを格納（すなわち登録）する。このレジスタの登録されたVC Iと入力されたセルのVC Iとを比較することで、入力されたセルと同じVC Iのカウンタ値がカウンタ用メモリにあるか否か、あればどのアドレスかを判定し、その判定結果に基づいて当該VC Iのカウンタ値を更新できる。また、フル・フラグを用意し、16個すべて登録されている場合、フル・フラグに“1”をセットするものとする。このフル・フラグが“1”にセットされている時はカウンタ用メモリに新たなVC Iは登録できない。

【0048】動作を説明する。セルが入力されると、そのセルのVC Iを比較回路に入力して、入力VC Iが登録されているVC Iであるかを見る。登録されていないVC Iであった場合、フルフラグが“0”であったら、空いている領域の一つをそのVC I用のカウンタとする。フルフラグが“1”であったら、登録ができないので、登録は行わずカウントを行わない。登録済のVC Iであった場合、そのVC Iに対応するカウンタを+1する。カウントアップした時点で、そのVCのカウンタ値が設定された閾値を超えた場合、EPD制御の対象となる。

【0049】以上、本発明のバッファ制御装置を共通バ

ッファDMUXに適用した場合について述べたが、本発明はこれに限られるものではなく、図8に示すように、共通セルバッファメモリ形スイッチ（交換機）に対しても適用してEPD機能またはPPD機能を実現できることは明らかである。

【0050】

【発明の効果】以上に説明したように、本発明によれば、既存の共通セルバッファメモリを利用して低コストでEPD機能あるいはPPD機能を実現できる。

10 【図面の簡単な説明】

【図1】本発明を説明するための図である。

【図2】本発明のバッファ制御装置についての実施例1を示す図である。

【図3】本発明のバッファ制御装置についての実施例2を示す図である。

【図4】本発明のバッファ制御装置についての実施例3を示す図である。

【図5】本発明のバッファ制御装置についての実施例4を示す図である。

20 【図6】本発明のバッファ制御装置についての実施例5を示す図である。

【図7】本発明のバッファ制御装置についての実施例6を示す図である。

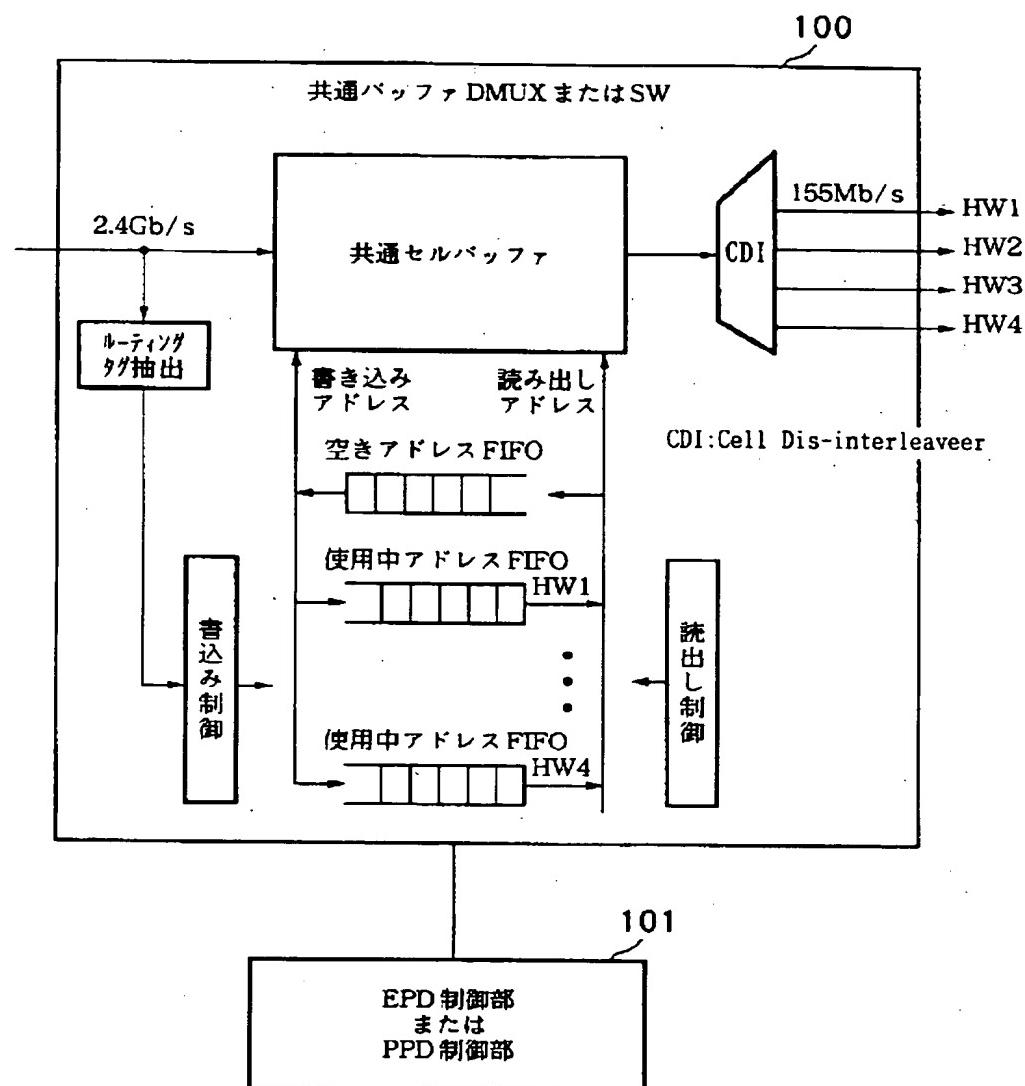
【図8】本発明のバッファ制御装置を共通バッファSWに適用した場合の構成を示す図である。

【符号の説明】

- 1 共通セルバッファメモリ
- 2 セル分離部
- 3 ルーティングタグ抽出部
- 4 パケット廃棄制御部
- 5 パケット状態管理テーブル
- 6 共通バッファ・キューランカウンタ
- 7 キューラン閾値超過検出部
- 8 空きアドレス FIFOメモリ
- 9 使用中アドレス FIFOメモリ
- 10 書込み制御部
- 11 読出し制御部
- 12 キューランカウンタ（VC単位）
- 13 キー長閾値超過検出部（VC単位）
- 14 キュー長カウンタ（出線単位）
- 15 キー長閾値超過検出部（出線単位）

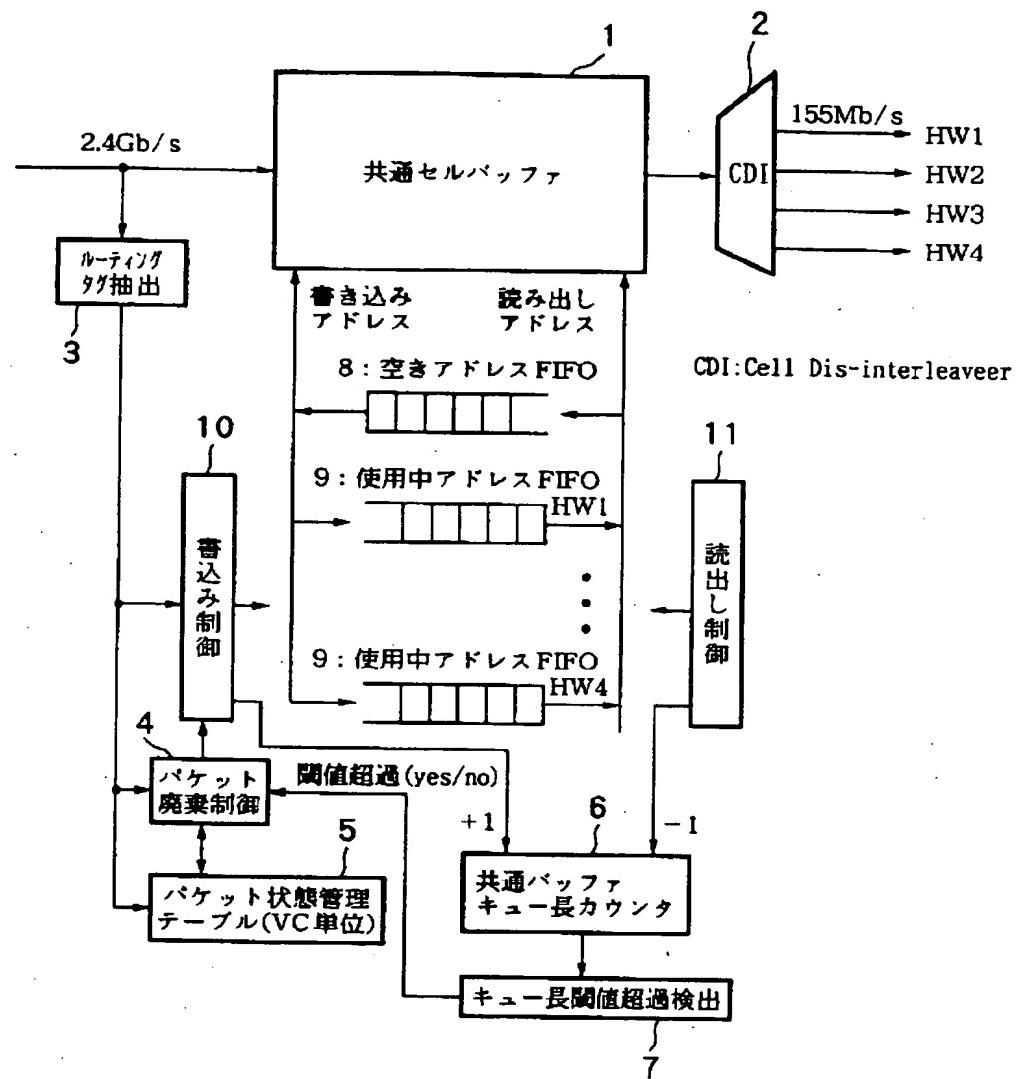
【図1】

本発明を説明する図



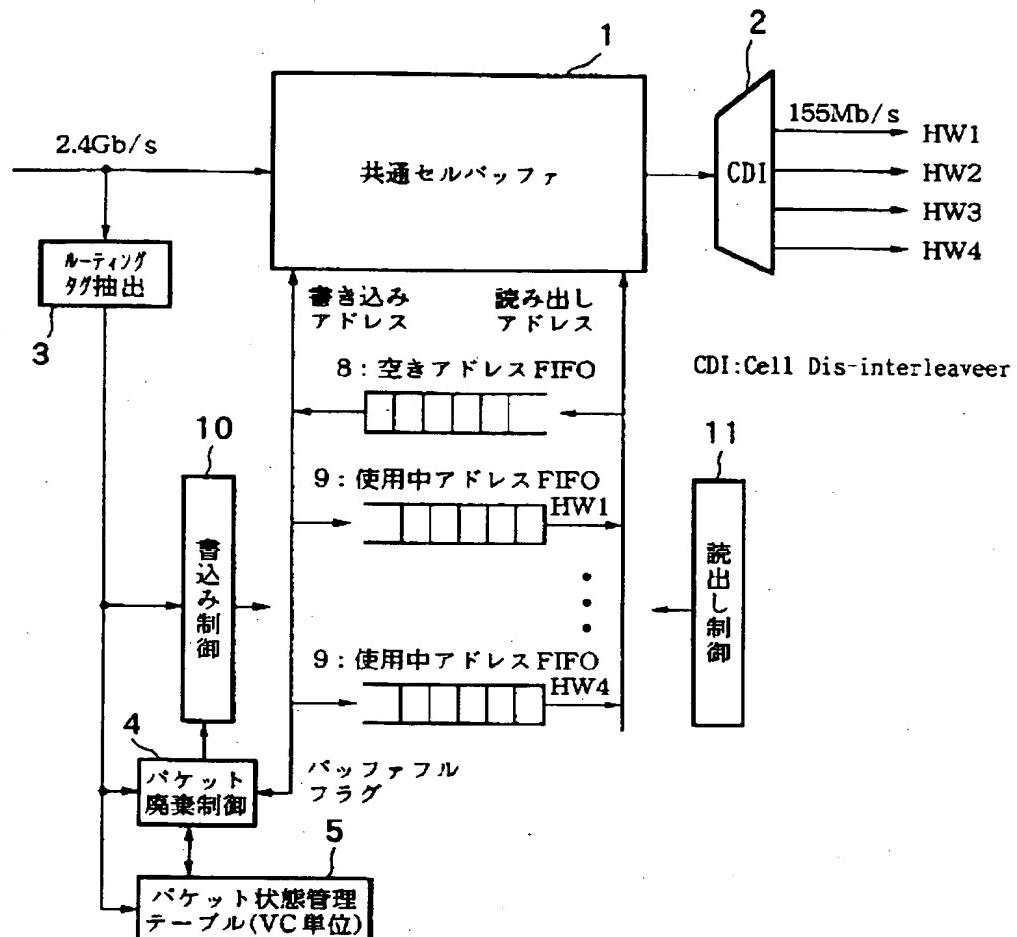
【図2】

実施例1を説明する図



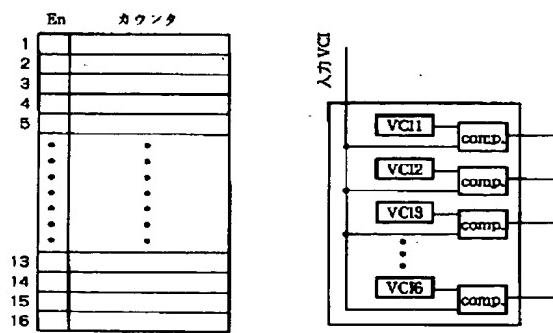
【図3】

実施例2を説明する図



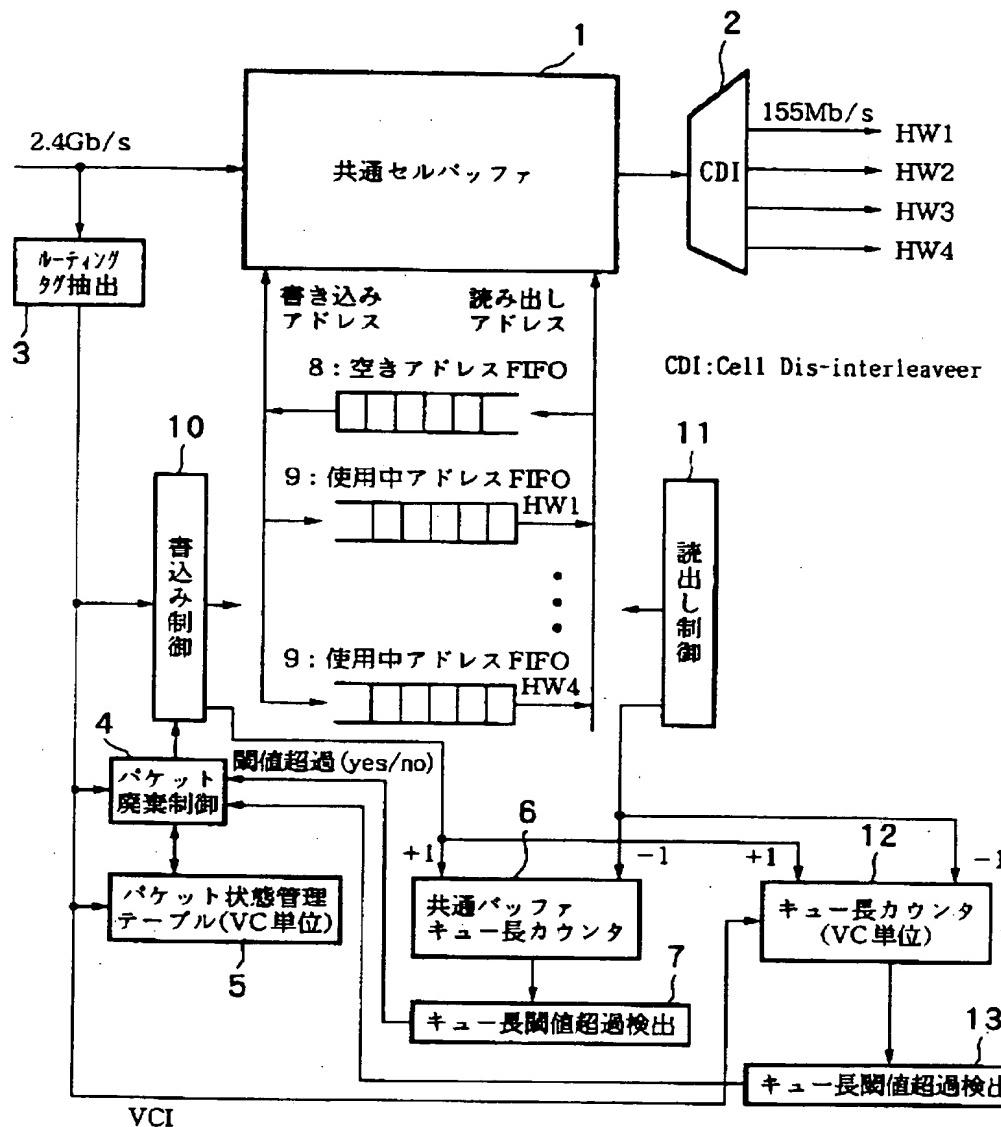
【図7】

実施例6を実現するためのカウンタ構成とVCI比較回路



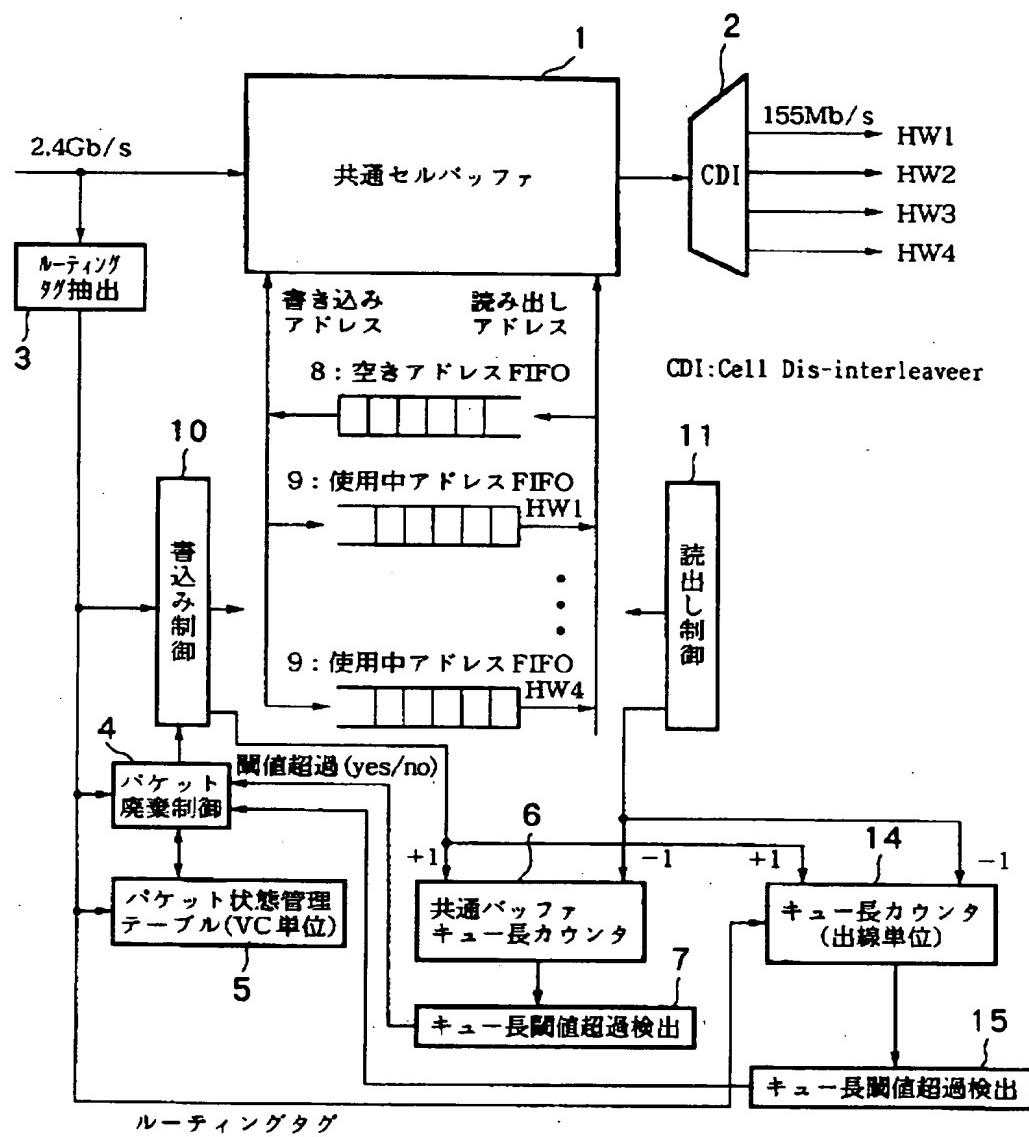
【図4】

実施例3を示す図



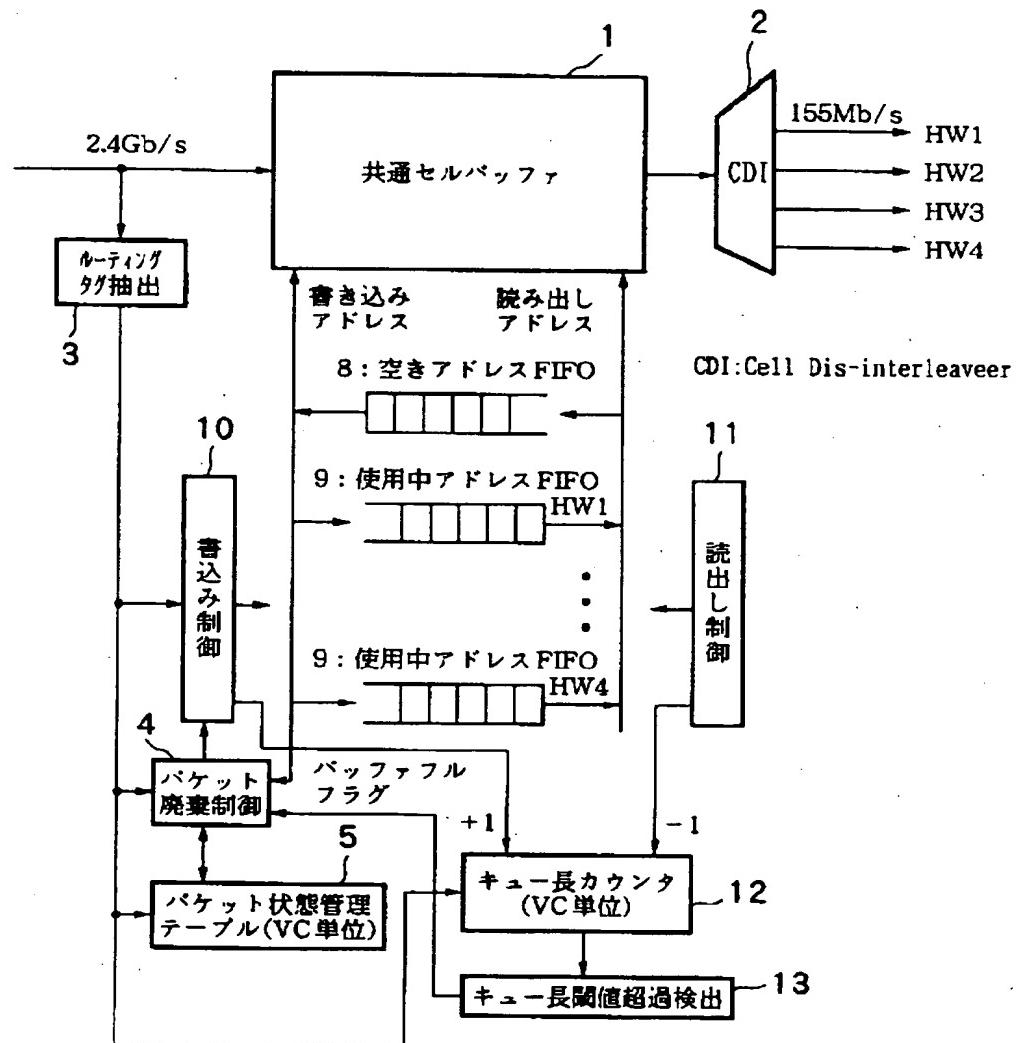
【図5】

実施例4を示す図

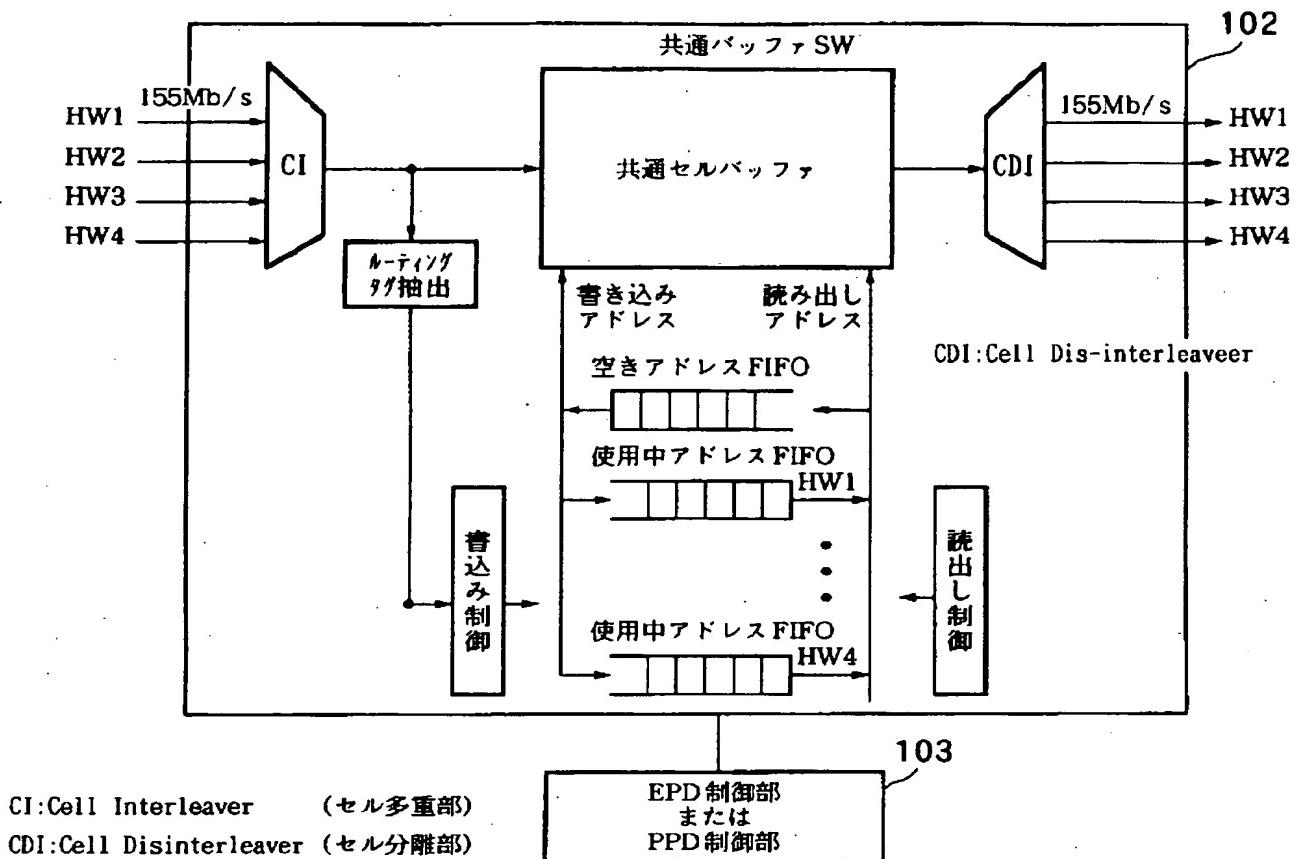


【図6】

実施例5を説明する図



【図8】



フロントページの続き

(51) Int.Cl.⁶

H 0 4 Q 11/04

識別記号 廷内整理番号

F I

H 0 4 Q 11/04

技術表示箇所

R